

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-075017

(43)Date of publication of application : 17.03.1998

(51)Int.Cl.

H01S 3/18
H01L 33/00

(21)Application number : 08-248925

(71)Applicant : RICOH CO LTD

(22)Date of filing : 30.08.1996

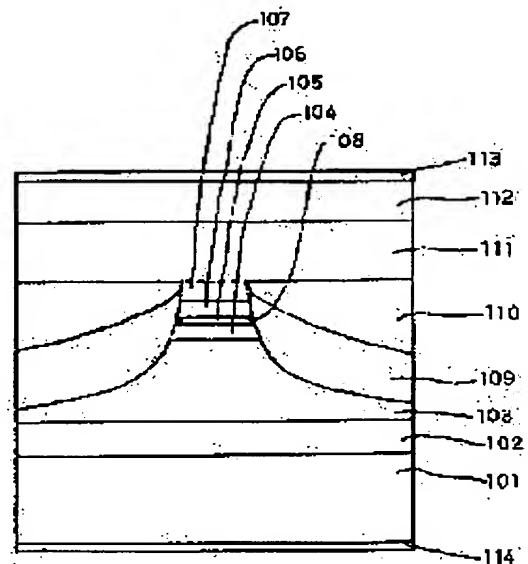
(72)Inventor : SATO SHUNICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce reactive current due to recombination with no emission of light appearing on the surface of a semiconductor device processed by etching, etc., to make the structure of the device to have a good temperature characteristic at a low threshold current, in the semiconductor device including at least one alloy III-V mixed crystal compound semiconductor layer constituted of a plurality of group V elements, including both As and N.

SOLUTION: An n-AlGaAs lower clad layer 103, a GaAs optical guide layer 104, an InGaNaS active layer 105, a GaAs optical guide layer 106, and a first p-AlGaAs upper clad layer 107 are in an exposed state with regions other than a stripe region all removed in a manufacturing process. A surface area of the exposed InGaNaS active layer 105 becomes an InGaAs layer 108, with N atoms being replaced with As atoms.



LEGAL STATUS

[Date of request for examination]

08.02.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

タキソ

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-75017

(43) 公開日 平成10年(1998) 3月17日

(51) IntCl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 S 3/18			H 0 1 S 3/18	
H 0 1 L 33/00			H 0 1 L 33/00	C

審査請求 未請求 請求項の数6 F D (全 8 頁)

(21) 出願番号 特願平8-248925

(22) 出願日 平成8年(1996) 8月30日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 佐藤 俊一

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

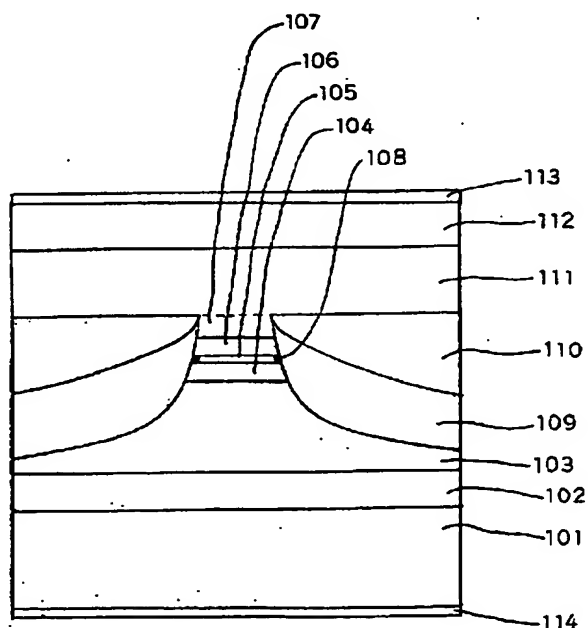
(74) 代理人 弁理士 植本 雅治

(54) 【発明の名称】 半導体素子およびその製造方法

(57) 【要約】

【課題】 AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含んだ半導体素子において、低しきい値電流で温度特性が良好な構造のものにするために素子の表面をエッチング等により加工する場合にも、エッチング等により加工した素子の加工表面において生じる非発光再結合による無効電流を低減する。

【解決手段】 n-AlGaAs下部クラッド層103, GaAs光ガイド層104, InGaAs活性層105, GaAs光ガイド層106, p-AlGaAsの第1の上部クラッド層107は、この半導体素子の作製過程で、ストライプ領域以外を除去されて露出された状態となり、露出したInGaAs活性層105の表面部分は、N原子がAs原子に置き換えられ、InGaAs層108になっている。



【特許請求の範囲】

【請求項1】 AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含んだ半導体素子において、露出した前記半導体層表面のNがAsに置換されていることを特徴とする半導体素子。

【請求項2】 AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含み、前記半導体層の表面をエッチング等により露出させ、その周囲を埋め込み成長させた構造を有する半導体素子において、前記埋め込み成長がなされる前に、エッチング等により周囲を除去し露出した前記半導体層加工面のNがAsに置換されていることを特徴とする半導体素子。

【請求項3】 請求項1または請求項2記載の半導体素子において、上記AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層は、GaAs基板上にエピタキシャル成長されたInGaAs層であることを特徴とする半導体素子。

【請求項4】 請求項1乃至請求項3のいずれか一項に記載の半導体素子において、少なくとも活性層と該活性層に隣接する層には、Alが含まれていないことを特徴とする半導体素子。

【請求項5】 AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含んだ半導体素子を作製する半導体素子の製造方法であって、露出した前記半導体層表面のNをAsに置換する工程を有し、該工程は、As雰囲気中で加熱処理することによって行なわれることを特徴とする半導体素子の製造方法。

【請求項6】 AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含み、前記半導体層の表面をエッチング等により露出させ、その周囲を埋め込み成長させた構造を有する半導体素子の製造方法であって、露出した前記半導体層表面のNをAsに置換する工程を有し、該工程は、埋込成長用の装置を用いて、埋め込み成長処理を行なう直前に、As雰囲気中で加熱処理することで行なわれることを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、通信用光源などに利用される半導体レーザ等の半導体素子およびその製造方法に関する。

【0002】

【従来の技術】 従来、光ファイバーを用いた光通信システムは、主に幹線系で用いられているが、将来は各家庭を含めた加入者系での利用が考えられている。これを実現するためにはシステムの小型化、低消費電力化、低コスト化が必要であり、このためには、光源としての半導体レーザには、低しきい値動作とペルチェフリーが必要である。

【0003】 しかしながら、現在の1.3 μ m波長帯、1.5 μ m波長帯の半導体レーザにはInGaAsP/InP系材料が用いられており、この材料系を用いた半導体レーザは材料的に伝導帯のバンド不連続(ΔE_c)が小さく電子のオーバーフローが多いことが主たる原因で、しきい値電流が大きく、また、温度特性が悪く、光出力が環境温度によって大きく変化するという問題がある。このため温度制御をする必要があり、この種の半導体レーザでは、温度制御用のペルチェ素子を用いていた。

【0004】 このような問題をInGaAsP/InP系材料を用いて改善することは困難であるため、伝導帯のバンド不連続(ΔE_c)が大きくなるようにGaAs基板上に半導体レーザを形成することが試みられている。GaAs基板上のInGaAsはIn組成が大きくなるほどバンドギャップエネルギーは小さくなるが、格子定数がGaAsよりも大きくなり、1.3 μ m、1.5 μ m程度の長波長化を図ることが難しいという問題があった。すなわち、圧縮歪量の増大により長波長化を図ることができるものの、1.1 μ m程度が限界であった。

【0005】 そこで、特開平7-193327号では、1.3 μ mまたは1.5 μ m帯の波長を与えるInGaAs活性層と、該活性層を挟んで形成され、かつGaAsの格子定数に近い格子定数を与える半導体層とを有し、伝導帯のバンド不連続(ΔE_c)を大きくした素子が提案されている。

【0006】 すなわち、特開平7-193327号で提案されている素子は、1.3 μ mまたは1.5 μ m帯の波長を与えるため、GaAs基板よりも格子定数の大きいInGaAs活性層を用い、また、活性層にInGaAsを用いているため、緩和バッファ層を用いている。しかしながら、緩和バッファ層を用いても基本的には格子不整合系なので、素子の寿命の点で問題がある。また、格子整合を図るため、基板をInGaAsとすることも考えられるが、基板にInGaAsのような多元材料を用いることは困難である。すなわち、InGaAsのような多元材料基板は現実には作製が困難である。

【0007】 そこで、特開平6-37355号では、GaAs基板上にInGaAs系材料を用いることが提案されており、GaAsよりも格子定数が大きいInGaAsにNを添加して、格子定数を低下させたInGaAs系材料を用いることで、格子定数をGaAsの格子定数に近づけ、GaAsと格子整合させることが可能であり、更にバンドギャップエネルギーを小さくすることができる。すなわち、InGaAs系材料は、1.3 μ mまたは1.5 μ m帯の波長が可能となる材料系であり、GaAs格子整合系なので、AlGaAsをクラッド層に用いることで伝導帯のバンド不連続(ΔE_c)を大きくすることができる。

【0008】 さらに特開平7-154023号には、G

As基板上のInGaAs系材料の半導体レーザとして、図3に示すような、リッジストライプ部(電流ブロック層6)をMOCVDの選択成長で埋め込んだSBR(Selectively Buried RidgeWaveguide)構造の素子が示されている。図3において、1は半導体レーザ素子、2は化合物半導体基板、3は活性層、4は下部クラッド層、5は上部クラッド層、6は電流ブロック層、7はコンタクト層、8はp側電極、9はn側電極である。ここで、下部クラッド層4、活性層3、上部クラッド層5によってダブルヘテロ接合が形成され、また、電流ブロック層6によってストライプ領域を画定するようになっている。また、図3において、基板2はGaAsで構成され、また、活性層3はGaInAsNで構成されている。また、この素子の電流ブロック層6には、SiドーパントGaAsが用いられている。

【0009】図3のような構成の半導体レーザでは、下部クラッド層4、活性層3、上部クラッド層5のダブルヘテロ接合によって、光を垂直方向に閉じ込めることができる。また、この種の半導体レーザにおいて、基板に対して水平方向に注入キャリア(図3の例では、p側電極8から活性層3に向けて注入される電流)と光とを閉じ込めることは、低しきい値化するために重要である。InGaAs系材料は、1.3 μ mまたは1.5 μ m帯の波長で発光させることができるが、GaAsとのバンドギャップエネルギーがInGaAs系材料よりも大きく、長波長の光に対して透明であり、反導波層とはならない。

【0010】また、この場合、電流ブロック層6が設けられていることによって、ストライプ領域(電流ブロック層6が設けられていない領域)がストライプ領域外(電流ブロック層6下部の領域)よりも厚いために、ストライプ領域とストライプ領域外との間に、光の屈折率差が生じ、ストライプ領域に光を閉じ込めることができる。

【0011】

【発明が解決しようとする課題】しかしながら、図3のような素子では、活性層3は電流ブロック層6の下部にも存在するので、p側電極8、コンタクト層7の電流ブロック層6間の領域から注入された電流は、ストライプ領域外である電流ブロック層6下部にも拡がってしまい、ストライプ領域に完全には閉じ込めることができず、しきい値電流が大きくなるという問題があった。

【0012】このような問題点を解決するには、ダブルヘテロ接合(下部クラッド層、活性層、上部クラッド層)を成長させた後に、エッチングによりストライプ領域以外を除去し、この除去した部分に、活性層よりもバンドギャップエネルギーが大きく、屈折率の小さい別の結晶を再度成長する埋め込み型構造にすることがInGaAsP/InP系材料等の他の材料系では一般に行なわれている。このような構造にすることで、垂直方向(積層方向)と同様に、基板に対して水平方向にも注入キャリ

Aと光を閉じ込めることができる。しかしながら、この場合、ダブルヘテロ接合成長後のエッチング等により加工した素子の加工表面において生じる非発光再結合による無効電流が、デバイスの特性を劣化させる(しきい値電流を高めるなどの)要因となっていた。

【0013】すなわち、従来では、InGaAs系材料を用いた長波長半導体レーザにおいて、良好な温度特性をもち、かつ、低しきい値電流の素子を実現するために埋め込み型構造のものにする場合、ダブルヘテロ接合成長後のエッチング等により加工した素子の加工表面において生じる非発光再結合による無効電流によって、しきい値電流を低下させるには限界があった。

【0014】本発明は、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含んだ半導体素子において、低しきい値電流で温度特性が良好な構造のものにするために素子の表面をエッチング等により加工する場合にも、エッチング等により加工した素子の加工表面において生じる非発光再結合による無効電流を低減し、デバイスの特性劣化を低減(しきい値電流などが高くなるのを防止)することの可能な半導体素子およびその製造方法を提供することを目的としている。

【0015】

【課題を解決するための手段】上記目的を達成するために、請求項1記載の半導体素子は、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含んだ半導体素子において、露出した前記半導体層表面のNがAsに置換されていることを特徴としている。

【0016】AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層では、そのへき開面、エッチング面等の加工表面は損傷や不純物等により良好ではなく非発光再結合センターが多い。非発光再結合センターを低減するため、請求項1記載の発明では、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層の露出した表面のNをAsに置換する。このように、NをAsに置き換えるとバンドギャップエネルギーが大きくなり、バンドギャップ差によるポテンシャル障壁によりNがAsに置換された半導体層の加工表面近傍にキャリアが拡散できなくなり、加工表面における非発光再結合が減少し、素子の無効電流を低減することができて、低しきい値電流を実現することができる。

【0017】また、請求項2記載の半導体素子は、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含み、前記半導体層の表面をエッチング等により露出させ、その周囲を埋め込み成長させた構造を有する半導体素子において、前記埋め込み成長がなされる前に、エッチング等により周囲を除去し露出した前記半導体層加工面のNがAsに置換されていることを特徴としている。

【0018】請求項2記載の発明においても、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層の露出した表面のNをAsに置換する。このように、NをAsに置き換えるとバンドギャップエネルギーが大きくなり、バンドギャップ差によるポテンシャル障壁によりNがAsに置換された半導体層の加工表面近傍にキャリアが拡散できなくなり、加工表面における非発光再結合が減少し、素子の無効電流を低減することができる。

【0019】また、請求項3記載の半導体素子は、請求項1または請求項2記載の半導体素子において、上記AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層が、GaAs基板上にエピタキシャル成長されたInGaAs層であることを特徴としている。

【0020】なお、請求項3記載の発明は、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層をGaAs基板上にエピタキシャル成長されたInGaAs層にしているが、N組成を大きくするほど良好な結晶を得るのが困難になるので、長波長レーザ等のバンドギャップエネルギーの小さい素子にAsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を用いるのであれば、InGaAs層はN組成を小さくできるので好ましい。

【0021】また、請求項4記載の半導体素子は、請求項1乃至請求項3記載の半導体素子において、少なくとも活性層と該活性層に隣接する層には、Alが含まれていないことを特徴としている。

【0022】すなわち、Alは活性であり加工表面にAlがあると酸素等を取り込んで非発光再結合センターを作り易いが、請求項4記載の半導体素子は、少なくとも活性層のみならず活性層に隣接する層にもAlを含んでいないので、活性層に隣接する層の加工表面における非発光再結合を減少させ、素子の無効電流を減少させることができる。

【0023】また、請求項5記載の半導体素子の製造方法は、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含んだ半導体素子を作製する半導体素子の製造方法であって、露出した前記半導体層表面のNをAsに置換する工程を有し、該工程は、As(砒素)雰囲気中で加熱処理することによって行なわれることを特徴としている。

【0024】請求項5記載の製造方法では、露出した前記半導体層表面のNをAsに置換する工程が、As(砒素)雰囲気中で加熱処理することによって行なわれるので、Asの原料と清浄な雰囲気と加熱源さえあれば簡単に処理することができ、加工表面における非発光再結合を有効に低減することができる。

【0025】また、請求項6記載の半導体素子の製造方法は、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含み、前記半導

体層の表面をエッチング等により露出させ、その周囲を埋め込み成長させた構造を有する半導体素子の製造方法であって、露出した前記半導体層表面のNをAsに置換する工程を有し、該工程は、埋め込み成長用の装置を用いて、埋め込み成長処理を行なう直前に、As(砒素)雰囲気中で加熱処理することで行なわれることを特徴としている。

【0026】このように、請求項6記載の製造方法では、露出した半導体層表面のNをAsに置換する工程を、埋め込み成長用の装置(例えばMOCVD装置、MBE装置など)を用いて、埋め込み成長する直前に、As(砒素)雰囲気中で加熱処理することで行なうので、置換処理と埋め込み成長処理とを同じ装置で連続して行なうことができ、従って、置換処理に特別な装置を用意する必要がなく、しかも簡単な工程により加工表面における非発光再結合を有効に低減できる。

【0027】

【発明の実施の形態】以下、本発明の実施形態について図面に基づいて説明する。図1は本発明に係る半導体素子の構成例を示す図である。図1を参照すると、この半導体素子は、MOCVD法により、n-GaAs基板101上に、n-GaAsバッファ層102、n-AlGaAs下部クラッド層103、GaAs光ガイド層104、InGaAs活性層105、GaAs光ガイド層106、p-AlGaAsの第1の上部クラッド層107が形成されている。InGaAs活性層は、Nの原料としてDMHy(ジメチルヒドラジン)等の窒素化合物を用いることで形成できる。

【0028】ここで、n-AlGaAs下部クラッド層103、GaAs光ガイド層104、InGaAs活性層105、GaAs光ガイド層106、p-AlGaAsの第1の上部クラッド層107は、この半導体素子の作製過程で、ストライプ領域以外を除去されて露出された状態となり、露出したInGaAs活性層105の表面部分は、N原子がAs原子に置き換えられ、InGaAs層108になっている。

【0029】また、図1の半導体素子において、表面が露出した上記各層上には、p-AlGaAs電流ブロック層109、n-AlGaAs電流ブロック層110が埋め込み成長されており、その上層に、p-AlGaAs第2の上部クラッド層111、p-GaAsコンタクト層112が形成されている。すなわち、この素子全体は、層構造としてはSCH-SQW構造となっている。

【0030】また、図1の半導体素子では、素子の表面にp側電極113であるAuZn/Auが形成され、また、素子の裏面にn側電極114であるAuGe/Ni/Auが形成されている。

【0031】図1の半導体素子は、次のような手順によって作製される。すなわち、まず、MOCVD法により、n-GaAs基板101上に、n-GaAsバッフ

ア層102, n-AlGaAs下部クラッド層103, GaAs光ガイド層104, InGaAs活性層105, GaAs光ガイド層106, p-AlGaAs第1の上部クラッド層107を形成する(1回目の成長を行なう)。そして、ウェットエッチング等によりストライプ領域以外を除去する。

【0032】次いで、MOCVD装置により、AsH₃雰囲気中で630℃で30分間、加熱処理する。この加熱処理工程により、InGaAs活性層105の表面に露出した部分のN原子がAs原子に置き換えられ、InGaAs層108になる。

【0033】続いて、p-AlGaAs電流ブロック層109, n-AlGaAs電流ブロック層110を埋め込み成長させる(2回目の成長を行なう)。しかる後、p-AlGaAsの第2の上部クラッド層111, p-GaAsコンタクト層112を成長させる(3回目の成長を行なう)。

【0034】次いで、p側電極113であるAuZn/Auを形成し、また、素子の裏面にn側電極114であるAuGe/Ni/Auを形成して、図1の半導体素子を作製できる。

【0035】次に、図1の半導体素子(半導体レーザ)の特性、動作原理について説明する。一般に、InGaAsにNを数%添加すると格子定数が小さくなり、バンドギャップエネルギーが小さくなる。すなわち、InGaAsにNを数%添加すると、GaAs基板に格子整合する1.3μm, 1.5μm等の長波長に対応する結晶が形成できる。逆に、InGaAsのNをAsに置換したInGaAsはInGaAsよりもバンドギャップエネルギーが大きくなる。

【0036】図1の半導体素子では、活性層105にInGaAsを用いているので、活性層105は、GaAs基板101に格子整合しており、GaAs基板101上に形成でき、また、バンドギャップエネルギーが大きいAlGaAs層をクラッド層に用いることができる。このため伝導帯のバンド不連続(ΔE_c)が大きくなり、注入キャリアのオーバーフローを減らすことができ、しきい値電流を小さくすることができ、さらに、その温度依存性を小さくすることができる。

【0037】ところで、図1の半導体素子は、ダブルヘテロ接合(下部クラッド層103, 光ガイド層104, 活性層105, 光ガイド層106, 上部クラッド層107)を成長後に、エッチングによりストライプ領域以外を除去し、この除去した部分に、活性層105よりもバンドギャップエネルギーが大きく屈折率の小さい別の結晶を再度成長する埋め込み型構造となっている。このような構造にすることで、垂直方向(積層方向)と同様に基板に対して水平方向にも注入キャリアと光を閉じ込めることができる。

【0038】しかしながら、この場合、ダブルヘテロ接

合成後のエッチング等により加工した素子の加工表面において生じる非発光再結合による無効電流が、デバイスの特性を劣化させる(しきい値電流を高めるなどの)原因となっていた。すなわち、加工表面に埋め込み成長しても、その界面は損傷や不純物の付着等により良好ではなく、非発光再結合センターが多くなり、無効電流が増加してしまう。

【0039】このような問題を回避するため、図1の半導体素子では、2回目の成長の前に、MOCVD装置により、AsH₃雰囲気中で630℃で30分間加熱処理する。この工程により、InGaAs活性層105の表面に露出した部分のN原子がAs原子に置き換えられ、InGaAs層108となる。すなわち、AsH₃雰囲気中で加熱処理して形成されたInGaAs層108は、NがAsに置き換わっており、バンドギャップエネルギーがInGaAs活性層105よりも大きく、InGaAs活性層105とInGaAs層108との間のバンドギャップ差によるポテンシャル障壁により、活性層105の加工表面近傍にキャリアが拡散できなくなり、加工表面における非発光再結合が減少し、素子の無効電流を減少させることができる。これにより、しきい値電流を低減することができる。

【0040】上述の例では、InGaAs活性層105の表面のNを全てAsに置換しているが、InGaAs活性層105の表面の全てのNをAsに置換せずとも良い。但し、NのAsへの置換率は、100%に近い方が、InGaAs活性層105との間のバンドギャップ差が大きくなり、加工表面近傍へのキャリアの拡散をより一層防止できるので望ましい。

【0041】また、露出した半導体層表面のNをAsに置換する工程(置換)は、埋め込み成長用の装置(例えばMOCVD装置)を用いて、埋め込み成長処理を行なう直前に、AsH₃雰囲気中で加熱処理することで行なわれ、従って、加熱処理後の埋め込み成長処理と置換処理とを同じ装置で連続して行なうことができるので、置換工程に特別な装置を用いる必要がなく、しかも簡単な工程により、加工表面における非発光再結合を有効に低減することができる。

【0042】また、上述の例では、活性層105にはInGaAsを用いたが、活性層105としては、NとAsを同時に含んだIII-V族混晶半導体であれば任意の材料を用いることができる。ただし、N組成を大きくするほど良好な結晶を得るのが困難になるので、長波長レーザ等に用いるのであれば、N組成を小さくできるInGaAsを用いるのが好ましい。

【0043】また、上述の例では、活性層105に隣接する光ガイド層104, 106にはGaAsを用いており、光ガイド層104, 106にGaAsを用いる場合には、酸素等を取り込んで非発光再結合センターを形成しやすいAlを含んだAlGaAsを用いる場合に比べ

て、光ガイド層の加工表面での非発光再結合が減少するので、素子の無効電流をさらに減少させることができる。

【0044】また、上述の例では、埋め込み層(図1の例では、電流ブロック層109, 110)には、GaAs基板に格子整合するAlGaAsを用いたが、この他に、GaAs基板に格子整合するInGaP等のInGaAsP系材料を用いることもできる。InGaAsP系材料は、活性なAlを含んでいないので、AlGaAsと同様に好ましい。なお、InGaPを用いる場合は、AsH₃雰囲気中で加熱処理した後、V族原料をPH₃に切り替える。また、InGaAsPを用いる場合は、AsH₃雰囲気中で加熱処理した後、AsH₃+PH₃にするなどして成長を行えば良い。もちろん結晶成長および加熱処理は、MOCVD法以外にもMBE法などでも可能である。

【0045】また、デバイス構造は、ダブルヘテロ接合成長後にエッチングによりストライプ領域以外を除去し、この除去した部分に、活性層よりもバンドギャップエネルギーが大きく屈折率の小さい別の結晶を再度成長する埋め込み型構造のものであれば、本発明を適用できる。もちろん、エッチングによりストライプ領域以外を除去した後、埋め込みを行わない構造のものでも、本発明を適用することができ、この場合にも、前述したと同様の効果(すなわち、表面の非発光再結合を減少させ、素子の無効電流を低減させるという効果)を得ることができる。

【0046】図2は本発明に係る半導体素子の他の構成例を示す図である。図2を参照すると、この半導体素子は、n-GaAs基板201上に、n-AlAs/GaAsからなる第一の多層膜反射鏡202と、n-AlGaAsクラッド層203と、GaAs光ガイド層204と、InGaAs活性層205と、GaAs光ガイド層206と、p-AlGaAsクラッド層207と、p-GaAsコンタクト層208と、p-AlAs/GaAsからなる第二の多層膜反射鏡209とが順次に形成されたものとなっている。

【0047】図2の半導体素子では、さらに、InGaAs活性層205の表面に露出した部分のN原子がAs原子に置き換えられInGaAs層210になっている。

【0048】また、図2の半導体素子では、第一の多層膜反射鏡202の上面にn側電極211であるAuGe/Ni/Auが形成され、また、p-GaAsコンタクト層208の上面にp側電極212であるCr/Auが形成されており、図2の半導体素子は、面発光型半導体レーザとして構成されている。

【0049】このような構成の半導体素子は、次のように作製される。すなわち、まず、n-GaAs基板201上に、n-AlAs/GaAsからなる第一の多層膜

反射鏡202と、n-AlGaAsクラッド層203と、GaAs光ガイド層204と、InGaAs活性層205と、GaAs光ガイド層206と、p-AlGaAsクラッド層207と、p-GaAsコンタクト層208と、p-AlAs/GaAsからなる第二の多層膜反射鏡209とを順次に形成する。

【0050】次いで、ドライエッチング等により、第一の多層膜反射鏡202の上面までの一部と、p-GaAsコンタクト層208の上面までの一部とを除去し、その後、AsH₃雰囲気中で630℃で30分間加熱処理する。この加熱処理工程により、InGaAs活性層205の表面に露出した部分のN原子がAs原子に置き換えられ、InGaAs層210になる。

【0051】そして、第一の多層膜反射鏡202の上面にn側電極211であるAuGe/Ni/Auを形成し、p-GaAsコンタクト層208の上面にp側電極212であるCr/Auを形成して、図2の半導体素子を作製できる。

【0052】次に、図2の半導体素子(面発光型半導体レーザ)の特性、動作原理について説明する。従来のInGaAsP/InP系材料の素子では、半導体多層膜ミラーの材料は屈折率差が小さく、例えばInP/InGaAsP(1.3μmに対応する組成)の屈折率差は0.25程度であり、従って、高反射率を得るためにはペア数(多層膜ミラーを構成するInPとInGaAsPとの対の個数(積層個数))を多くする必要があったが、図2の半導体素子では、GaAs基板上に形成できるため、多層膜ミラー202, 209に屈折率差の大きいAlAs/GaAs等のAlGaAs系材料を用いることができる。これにより、高反射率を得る場合にも、ペア数(多層膜ミラーを構成するAlAsとGaAsとの対の個数(積層個数))を少なくできる。具体的には、InP/InGaAsP系の半以下にすることができる。これにより、多層膜ミラーを短かい成長時間で形成することができ、また、多層膜ミラーの厚みも薄くなって段差が小さくなり、作製プロセスも容易になる。また、長波長帯面発光型レーザは、従来、高温では良好なレーザ特性が得られなかったが、図2の半導体素子によれば、伝導帯のバンド不連続(ΔE_c)が大きいので、注入キャリアのオーバーフローを減らすことができ、しきい値電流の温度依存性が減少し、高温でも良好なレーザ特性が得られる。

【0053】ところで、図2の半導体素子は、その作製工程中、ダブルヘテロ接合成長後にエッチングにより活性層の一部も除去するようにしており、この場合、活性層の加工表面は損傷や不純物等により一般に良好ではなく、非発光再結合センターが多くなり、素子の無効電流が増加するという問題が生ずる。

【0054】このような問題を回避するため、図2の半導体素子では、AsH₃雰囲気中で630℃で30分間

加熱処理する。この工程により、InGaNA s 活性層205の表面に露出した部分のN原子がAs原子に置き換えられ、InGaAs層210になる。すなわち、AsH₃雰囲気中で加熱処理して形成されたInGaAs層210は、NがAsに置き換わっており、InGaNA s 活性層205よりもバンドギャップエネルギーが大きくなっている。

【0055】図2の半導体素子では、このバンドギャップ差によるポテンシャル障壁により、活性層205の加工表面近傍にキャリアが拡散できなくなり、加工表面における非発光再結合が減少し、素子の無効電流を減少させることができる。これにより、この半導体素子のしきい値電流を低減することができる。

【0056】なお、図1または図2の半導体素子の作製工程において、露出した半導体層表面のNをAsに置換する工程は、As(砒素)雰囲気中で加熱処理することによってなされ、このような処理は、Asの原料と清浄な雰囲気と加熱源さえあれば簡単に処理することができ、加工表面における非発光再結合を有効に低減することができる。

【0057】この場合、加工表面は酸化や汚染が進む前に処理することが望ましいので、As雰囲気中での加熱処理はエッチング後、大気にさらす前に行なう方がよい。この場合、MOCVD、MBE法等を用いる結晶成長室とドライエッチング法を用いるエッチング加工室とが真空搬送路等で連結された作製装置を用いることが望ましい。

【0058】また、上述の例では、本発明を長波長半導体レーザ等の発光素子に適用した場合について述べたが、発光素子のみならず、受光素子や電子素子などの半導体素子においても、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層をエッチング等により除去した構造のものである場合には、本発明を適用することができ、この場合にも、前述したと同様の効果(すなわち、表面の非発光再結合を減少させ、素子の無効電流を低減させるという効果)が得られる。

【0059】換言すれば、本発明は、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含んだ半導体素子において、露出した半導体層表面のNがAsに置換されていることを特徴としている。この際、露出した前記半導体層表面のNのAsへの置換は、As雰囲気中で加熱処理することによって行なわれる。

【0060】また、本発明は、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含み、半導体層の表面をエッチング等により露出させ、その周囲を埋め込み成長させた構造を有する半導体素子において、埋め込み成長がなされる前に、エッチング等により周囲を除去し露出した半導体層加工面のNがAsに置換されていることを特徴としている。この

際、露出した前記半導体層表面のNのAsへの置換は、埋め込み成長用の装置を用いて、埋め込み成長処理を行なう直前に、As雰囲気中で加熱処理することで行なわれる。

【0061】上記各半導体素子において、上記AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層は、GaAs基板上にエピタキシャル成長されたInGaNA s層である。

【0062】また、上記各半導体素子において、少なくとも活性層と該活性層に隣接する層には、Alが含まれていない。

【0063】本発明では、上記のように、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含んだ半導体素子において、露出した前記半導体層表面のNがAsに置換されているので、この半導体層とその加工表面との間のバンドギャップ差によるポテンシャル障壁により、この半導体層の加工表面近傍にキャリアが拡散できなくなり、加工表面における非発光再結合を減少させ、素子の無効電流を低減することができる。

【0064】

【発明の効果】以上に説明したように、本発明によれば、AsとNを同時に含んだ複数のV族元素からなるIII-V族混晶半導体層を少なくとも一層含んだ半導体素子において、露出した前記半導体層表面のNがAsに置換されているので、この半導体層とその加工表面との間のバンドギャップ差によるポテンシャル障壁により、この半導体層の加工表面近傍にキャリアが拡散できなくなり、加工表面における非発光再結合を減少させ、素子の無効電流を低減することができる。これにより、しきい値電流が小さく、しかも温度特性の良好な長波長半導体レーザ等を提供できる。

【図面の簡単な説明】

【図1】本発明に係る半導体素子の構成例を示す図である。

【図2】本発明に係る半導体素子の他の構成例を示す図である。

【図3】GaAs基板上に形成された従来の長波長半導体レーザを示す図である。

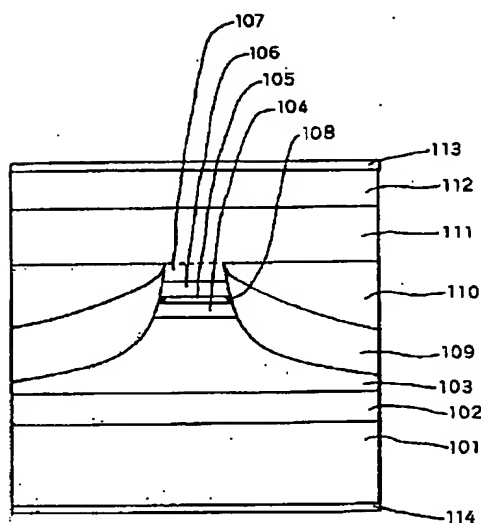
【符号の説明】

101	n-GaAs基板
102	n-GaAsバッファ層
103	n-AlGaAs下部クラッド層
104	GaAs光ガイド層
105	InGaNA s 活性層
106	GaAs光ガイド層
107	p-AlGaAs第1の上部クラッド層
108	InGaAs層
109	p-AlGaAs電流ブロック層

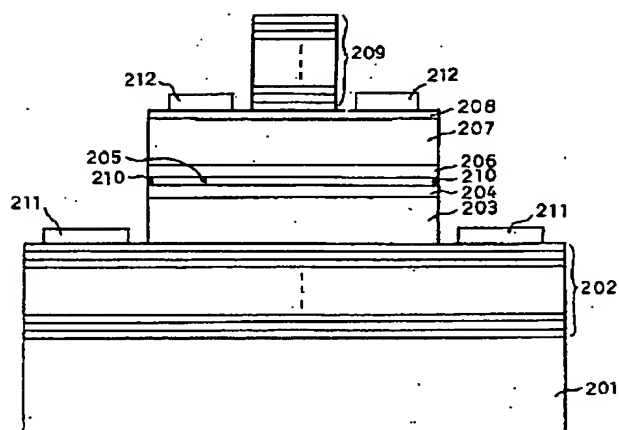
110	n-AlGaAs電流ブロック層
111	p-AlGaAs第2の上部クラッド層
112	p-GaAsコンタクト層
113	p側電極
114	n側電極
201	n-GaAs基板
202	第一の多層膜反射鏡
203	n-AlGaAsクラッド層

204	GaAs光ガイド層
205	InGaAs活性層
206	GaAs光ガイド層
207	p-AlGaAsクラッド層
208	p-GaAsコンタクト層
209	第二の多層膜反射鏡
210	InGaAs層
211	n側電極
212	p側電極

【図1】



【図2】



【図3】

